

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-220389

(43)公開日 平成11年(1999) 8月10日

(51)Int.Cl.⁸
H 0 3 L 7/10

識別記号

F I
H 0 3 L 7/10

D

審査請求 未請求 請求項の数8 OL (全 9 頁)

(21)出願番号 特願平10-17406

(22)出願日 平成10年(1998) 1月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 山下 直孝

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

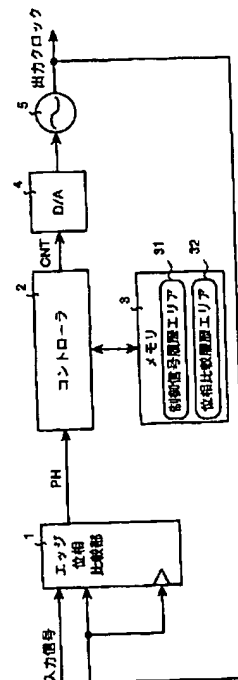
(74)代理人 弁理士 酒井 宏明 (外1名)

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】 低速クロック、かつ、単相クロックで性能アップを図っても、低コスト、かつ、低消費電力化を実現できるようにすることを課題とする。

【解決手段】 エッジ位相比較部1において、同期確立のため、PLLのつきあわせ周波数と同じ単相のクロックを基準に入力信号と出力クロックとの位相差PHを求め、コントローラ2において、その位相差PHとメモリ3に記憶された過去の制御履歴である制御量とに基づいて次回の制御量を求め、その次回の制御量を表す制御信号CNTを制御電圧として電圧制御発振器5の制御を行う。



【特許請求の範囲】

【請求項1】 入力信号と電圧制御発振器から出力される出力クロックとの位相差に応じてデジタル方式でPLL制御を行うPLL回路において、前記電圧制御発振器に対する制御量を電圧制御の度に履歴として記憶する記憶手段と、

PLLのつきあわせ周波数と同じ単相のクロックを基準にして入力信号に対する前記電圧制御発振器から出力される出力クロックの位相差を判定する判定手段と、同期確立のため、前記判定手段により判定された位相差を表す情報と前記記憶手段に記憶された過去の制御量とに基づいて次回の制御量を求め、当該次回の制御量に基づいて前記電圧制御発振器の制御を行う制御手段と、を備えたことを特徴とするPLL回路。

【請求項2】 前記判定手段により判定された位相差を表す情報は、位相進みまたは位相遅れを表す二値データであり、前記制御手段は、前記二値データが位相進みを表している場合に前記出力クロックの位相を遅らせるための制御を行い、一方、前記二値データが位相遅れを表している場合に前記出力クロックの位相を進めるための制御を行うことを特徴とする請求項1に記載のPLL回路。

【請求項3】 前記記憶手段は、前記判定手段による判定の度に前記二値データを記憶し、前記制御手段は、前記記憶手段に記憶された二値データで表される位相進みと位相遅れとの反転回数および前回の制御量に基づいて次回の制御量を前記前回の制御量よりも小さく設定することを特徴とする請求項2に記載のPLL回路。

【請求項4】 前記次回の制御量が一定量に達し、かつ、その後前記判定手段で得られる二値データに反転がない場合、前記制御手段は位相同期を確立して現制御量を保持することを特徴とする請求項2または3に記載のPLL回路。

【請求項5】 前記制御手段は、位相引き込み開始時に、前記判定手段で得られる二値データを反転させる大きさの制御量を設定することを特徴とする請求項2または3に記載のPLL回路。

【請求項6】 前記制御手段は、前記位相引き込み開始後は、前記位相引き込み開始時に設定された制御量よりも小さい制御量で制御を行うことを特徴とする請求項5に記載のPLL回路。

【請求項7】 前記制御手段は、位相引き込み開始時に、前記判定手段で位相進みを表す二値データを得るための制御量を設定することを特徴とする請求項2または3に記載のPLL回路。

【請求項8】 前記制御手段は、位相引き込み開始時に、前記判定手段で位相遅れを表す二値データを得るための制御量を設定することを特徴とする請求項2または3に記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、PLL (Phase Locked Loop) 回路に関し、詳細には、デジタル制御方式を用いて位相同期信号を発生するPLL回路に関する。

【0002】

【従来の技術】図9は従来のPLL回路を示すブロック図である。従来のPLL回路は、図9に示したように、基準信号に従って入力信号とループされる出力信号との位相差を求めるエッジ位相比較部11、デジタルフィルタ等のようにデジタル方式で回路全体を制御するコントローラ12、位相比較履歴エリア14を設けて位相比較結果を記憶するメモリ13、コントローラ12でデジタル処理された信号をアナログ信号に変換して出力するD/A変換器15、および、出力アナログ信号を制御電圧に変換して出力クロックを得る電圧制御発振器16より構成される。

【0003】つぎに、動作について説明する。図9に示したPLL回路では、エッジ位相比較部11において入力信号は基準信号である高速または多層クロック (CLK) に従って電圧制御発振器16から出力される出力クロックと位相比較される。このエッジ位相比較部11から出力される比較結果である位相差 $\Delta\lambda$ は、デジタル化された信号である。この位相差 $\Delta\lambda$ は、コントローラ12に入力され、そこでメモリ13の位相比較履歴エリア14に今回の比較結果として記憶される。

【0004】コントローラ12は、すでに履歴として記憶された位相比較履歴と今回入力された位相差 $\Delta\lambda$ の大きさに応じてつぎのPLLの制御量を決定し、その制御量を電圧制御発振器16へ伝達する。そのために、D/A変換器15において制御量は、デジタル信号からアナログ信号へ変換されて電圧制御発振器16の制御電圧となり、電圧制御発振器16へ送られる。電圧制御発振器16では、入力された制御電圧に基づいた出力クロックを出力する。そして制御結果である出力クロックがつぎの位相比較のために、ループにより再びエッジ位相比較部11へ出力される。このようなPLL制御を通じて引き込みや同期確立が行われる。

【0005】このように、上述したPLL回路では、コントローラ12においてPLL制御がデジタル処理されており、これはアナログ方式によりPLL制御を行う場合と比較して、位相同期特性などの性能を左右するパラメータ設定の自由度が向上する。このような理由から、PLL回路には、最近、デジタル化されたコントローラが頻繁に適用されている。

【0006】

【発明が解決しようとする課題】従来のPLL回路は以上のように構成されているので、高い周波数精度や高い位相同期特性の性能を得るために、位相差 $\Delta\lambda$ の大きさを表現する細かさを向上させる必要があった。この位相

差 Δ の細かさの向上は、エッジ位相比較部11の動作クロックを高速化して、位相差 Δ 内のクロック数を増加させたり、あるいは、多層クロック(CLK)の相数を増加させることで実現された。このため、高速クロックが適用された場合には、回路の動作速度が高速化され、一方、多相クロックが適用された場合には、回路での時間の遅延管理が必要となるなど、上述した位相差 Δ の細かさの向上実現にはコストアップや消費電力の浪費などの問題点があった。

【0007】この発明は、上述した従来例による問題点を解消するため、低速クロック、かつ単相クロックで性能アップを図っても、低コスト、かつ、低消費電力化を実現することが可能なPLL回路を得ることを目的とする。

【0008】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、この発明に係るPLL回路は、入力信号と電圧制御発振器から出力される出力クロックとの位相差に応じてデジタル方式でPLL制御を行うPLL回路において、前記電圧制御発振器に対する制御量を電圧制御の度に履歴として記憶する記憶手段と、PLLのつきあわせ周波数と同じ単相のクロックを基準にして入力信号に対する前記電圧制御発振器から出力される出力クロックの位相差を判定する判定手段と、同期確立のため、前記判定手段により判定された位相差を表す情報と前記記憶手段に記憶された過去の制御量とに基づいて次回の制御量を求め、当該次回の制御量に基づいて前記電圧制御発振器の制御を行う制御手段と、を備えたことを特徴とする。

【0009】この発明によれば、同期確立のため、PLLのつきあわせ周波数と同じ単相のクロックを基準に求めた入出力の位相差と過去の制御履歴である制御量とに基づいて次回の制御量を求め、その次回の制御量で電圧制御発振器の制御を行うようにしたので、PLLのつきあわせ周波数と同じ単相のクロックにより位相同期を確立することができ、これにより、低速クロック、かつ、単相クロックで性能アップを図っても、低コスト、かつ、低消費電力化を実現することが可能である。

【0010】つぎの発明に係るPLL回路は、前記判定手段により判定された位相差を表す情報は、位相進みまたは位相遅れを表す二値データであり、前記制御手段は、前記二値データが位相進みを表している場合に前記出力クロックの位相を遅らせるための制御を行い、一方、前記二値データが位相遅れを表している場合に前記出力クロックの位相を進めるための制御を行うことを特徴とする。

【0011】この発明によれば、位相差を二値データで表し、位相進みを表している場合には出力の位相を遅らせ、一方、位相遅れを表している場合には出力の位相を進めるように電圧制御発振器を制御するので、制御の履

歴(制御量)と位相の進み/遅れとから容易につぎの制御を的確に行うことが可能である。

【0012】つぎの発明に係るPLL回路は、前記記憶手段は、前記判定手段による判定の度に前記二値データを記憶し、前記制御手段は、前記記憶手段に記憶された二値データで表される位相進みと位相遅れとの反転回数および前回の制御量に基づいて次回の制御量を前記前回の制御量よりも小さく設定することを特徴とする。

【0013】この発明によれば、二値データで表される位相進みと位相遅れとの反転回数および前回の制御量に基づいて次回の制御量を前回の制御量よりも小さく設定するようにしたので、制御が発散せず徐々に収束して、制御の効率化を図ることが可能である。

【0014】つぎの発明に係るPLL回路は、前記次回の制御量が一定量に達し、かつ、その後に前記判定手段で得られる二値データに反転がない場合、前記制御手段は位相同期を確立して現制御量を保持することを特徴とする。

【0015】この発明によれば、制御量が一定となり、その後に位相の進みと遅れとの関係に反転がない場合を位相同期の確立として現制御量を保持するようにしたので、安定した同期確立状態を維持することが可能である。

【0016】つぎの発明に係るPLL回路は、前記制御手段は、位相引き込み開始時に、前記判定手段で得られる二値データを反転させる大きさの制御量を設定することを特徴とする。

【0017】この発明によれば、位相引き込み開始時に、二値データを反転させる大きさの制御量を設定するようにしたので、大まかな変化点を特定することができ、これにより、位相同期が確立するまでの時間が短縮されることから、位相同期特性の改善を図ることが可能である。

【0018】つぎの発明に係るPLL回路は、前記制御手段は、前記位相引き込み開始後は、前記位相引き込み開始時に設定された制御量よりも小さい制御量で制御を行うことを特徴とする。

【0019】この発明によれば、位相引き込み開始後は、二値データを反転させる大きさの制御量を用いる位相引き込み開始時の設定制御量よりも小さい制御量で制御を行うようにしたので、位相引き込み開始後は位相引き込み開始時の大まかな変化点の周辺で収束することになり、これにより、位相同期が確立するまでの時間がさらに短縮されることから、位相同期特性の改善を図ることが可能である。

【0020】つぎの発明に係るPLL回路は、前記制御手段は、位相引き込み開始時に、前記判定手段で位相進みを表す二値データを得るための制御量を設定することを特徴とする。

【0021】この発明によれば、位相引き込み開始時に

は、出力を最初から確実に位相進みとなるように制御するようにしたので、位相引き込み開始時の引き込み特性が改善され、これにより、位相同期特性の改善を図ることが可能である。

【0022】つぎの発明に係るPLL回路は、前記制御手段は、位相引き込み開始時に、前記判定手段で位相遅れを表す二値データを得るための制御量を設定することとを特徴とする。

【0023】この発明によれば、位相引き込み開始時には、出力を最初から確実に位相遅れとなるように制御するようにしたので、位相引き込み開始時の引き込み特性が改善され、これにより、位相同期特性の改善を図ることが可能である。

【0024】

【発明の実施の形態】以下に添付図面を参照して、この発明に係るPLL回路の好適な実施の形態を詳細に説明する。

実施の形態1. まず、構成について説明する。図1はこの発明の実施の形態1によるPLL回路を示すブロック図である。このPLL回路は、図1に示したように、基準信号に従って入力信号とループされる出力信号との位相差PHを求めるエッジ位相比较部1、デジタル方式で回路全体を制御するコントローラ2、制御信号履歴エリア31および位相比較履歴エリア32を設けて制御量の履歴と位相差情報（位相比較結果）とを記憶するメモリ3、コントローラ2でデジタル処理された信号をアナログ信号に変換して、電圧制御発振器5の制御電圧として出力するD/A変換器4、および、入力された制御電圧に基づいた出力クロックを出力する電圧制御発振器5より構成される。

【0025】つぎに、動作について説明する。図2はこの実施の形態1の動作を説明するフローチャート、図3はこの実施の形態1による履歴内容を説明する図、そして、図4はこの実施の形態1において位相同期に至るまでの状態遷移を説明するタイミングチャートである。なお、図2に示したフローチャートは、コントローラ2により制御される処理を示しているが、個々の動作は各部で実施される。

【0026】図1に示したPLL回路では、エッジ位相比较部1において、電圧制御発振器5から出力される出力クロックの立ち上がりエッジでその出力クロックと入力信号とが比較され、その比較結果である位相差PHが求められる。その位相差PHは、コントローラ2へ送出される際に、2値化される。位相差PHが“1”の値をもった場合には、出力クロックの方が位相が進んでいることを示し、一方、位相差PHが“0”の値をもった場合には、出力クロックの方が位相が遅れていることを示す。

【0027】このようにして、2値データよりなる位相差PHがコントローラ2に入力される。コントローラ2

に位相差PHが入力されると（ステップS1）、前回までにメモリ3に格納された履歴情報が読み出される（ステップS2）。ここで、履歴情報とは、図3に示したように、制御信号履歴エリア31に格納された前回の制御量（例えば、q）と、位相比較履歴エリア32に格納された反転回数（例えばN（回））および反転履歴（例えば、1（進み）-0（遅れ）-1（進み）-1（進み）…）を指す。そして、入力された位相差PHと前回までの位相遅れ／進みの反転回数Nとに基づいて現在の反転回数NNが求められる（ステップS3）。

【0028】さらに、ステップS3で求めた現在までの反転回数NNと前回の制御量qとに基づいて前回の制御量qを任意の既定値分だけ小さくしてその制御量を次の制御量qqとして設定する処理が実行される（ステップS4）。この後、履歴情報を更新するため、ステップS4で求めた制御量qqが制御信号履歴エリア31に記憶され、ステップS1で入力された位相差PHとステップS3で求めた反転回数NNとが位相比較履歴エリア32に記憶される（ステップS5）。そして、ステップS4で求めた次の制御量qqが制御信号CNTとしてD/A変換器4へ送出される（ステップS6）。これにより、D/A変換器4でデジタル／アナログ変換された制御信号CNT（制御電圧）により電圧制御発振器5の制御量が調整される。

【0029】以上のステップS1～ステップS6までの処理が位相同期が確立するまで繰り返し実行されるものである。図4の例では、最初は、入力信号に対して出力信号（出力クロック）の位相が進んでいる状態である（図中、（1）状態）。そこで、位相を遅らせるための制御量q1を用いて電圧制御が行われると、入力信号に対して出力信号の位相が遅れる（図中、（2）の状態）。そこで、今度は位相を進ませるために前回の制御量q1よりも任意の既定値分だけ小さい制御量q2が設定される。その制御量q2による電圧制御が行われると、今度は、入力信号に対して出力信号の位相が進む（図中、（3）の状態）。

【0030】そして、制御量が落ち着くまでは電圧制御による出力クロックの位相制御がさらに続行される。続いて、今度は位相を遅らせるために前回の制御量q2よりも任意の既定値分だけ小さい制御量q3が設定される。その制御量q3による制御が行われると、今度も入力信号に対して出力信号の位相が進む状態となる（図中、（4）の状態）。この場合には、位相を遅らせるための制御量が足りなかったという判断が下されるので、つぎの制御でも位相を遅らせるために前回に近い制御量q4が設定される。このようにして、その制御量q4による制御が行われると、今度は、入力信号に対して出力信号の位相が遅れる（図中、（5）の状態）。

【0031】さらに電圧制御による出力クロックの位相制御が続行され、今度は位相を進ませるために前回の制

御量 q_4 よりも任意の既定値分だけ小さい制御量 q_5 が設定される。その制御量 q_5 による制御が行われると、今度は、入力信号に対して出力信号の位相が進む(図中、(6)の状態)。今度は位相を遅らせるために前回の制御量 q_5 よりも任意の既定値分だけ小さい制御量 q_6 が設定される。その制御量 q_6 による制御が行われると、今度は入力信号として出力信号の位相が一致する。すなわち、立ち上がりエッジが一致して位相同期が確立する(図中、(7)の状態)。

【0032】このように、位相同期が確立するまでは、出力信号(出力クロック)が入力信号の立ち上がりエッジを超える(位相比較結果が反転)毎に制御量の絶対値を前回の値よりも小さく設定して、位相進み、位相遅れを修正する動作が繰り返し実行される。

【0033】以上説明したように、この実施の形態1によれば、同期確立のため、PLLのつきあわせ周波数と同じ単相のクロックを基準に求めた入出力の位相差と過去の制御履歴である制御量とに基づいて次回の制御量を求め、その次回の制御量で電圧制御発振器5の制御を行うようにしたので、PLLのつきあわせ周波数と同じ単相のクロックにより位相同期を確立することができる。これにより、低速クロック、かつ、単相クロックで性能アップを図っても、低コスト、かつ、低消費電力化を実現することが可能である。

【0034】また、位相差を二値データ(1/0)で表し、位相進み(1)を表している場合には出力の位相を遅らせ、一方、位相遅れ(0)を表している場合には出力の位相を進めるように電圧制御発振器5を制御するので、制御の履歴(制御量)と位相の進み/遅れとから容易につぎの電圧制御による出力クロックの位相制御を的確に行うことが可能である。

【0035】また、二値データで表される位相進みと位相遅れとの反転回数および前回の制御量に基づいて次回の制御量を前回の制御量よりも小さく設定するようにしたので、電圧制御発振器5の制御が発散せず徐々に収束して、その制御の効率化を図ることが可能である。

【0036】実施の形態2。さて、前述した実施の形態1では、PLL制御を中心に説明したが、この発明は、以下に説明する実施の形態2のように、PLL制御による同期確立時の制御量を保持するようにしてもよい。なお、この実施の形態2による全体構成は、前述した実施の形態1と同様のため、以下に相違する動作についてのみ説明する。

【0037】そこで、動作の中でも相違する部分についてのみ説明する。図5はこの実施の形態2の動作の要部を説明するフローチャートである。入力信号と出力クロックとの位相がほぼ一致した場合には、微少な制御量であってもつぎの制御で位相比較結果が反転(二値データの反転)する。このことから、前述した実施の形態1によるステップS6(図2参照)で設定制御量を表す制御

信号CNTが送出された後、その設定制御量が一定量(任意の既定値)に達したか否か判断される(ステップS21)。その結果、設定制御量が一定量に達したという判断結果が得られた場合には、続くステップS22において、位相比較毎の位相比較結果の反転の有無が判断される。また、一定量に達していないという判断結果が得られた場合には、本処理は終了する。

【0038】上記ステップS22において位相比較毎の反転が確認された場合には、現制御量が安定な同期確立状態を保持できるものとして、処理は続くステップS23へ移行する。このステップS23において、位相同期を確立するために、現制御量が固定され、以降は保持される。その後、本処理は終了する。また、ステップS22において位相比較毎の反転が確認されなかった場合には、本処理は本終了する。

【0039】以上説明したように、この実施の形態2によれば、前述した実施の形態1の効果が得られることはもちろん、制御量が一定となり、その後に位相の進みと遅れとの関係に反転がない場合を位相同期の確立として現制御量を保持するようにしたので、安定した同期確立状態を維持することが可能である。

【0040】実施の形態3。さて、前述した実施の形態1では、PLL制御を中心に説明したが、この発明は、以下に説明する実施の形態3のように、位相引き込み開始時の制御量を調整することで、位相同期特性を改善するようにしてもよい。なお、この実施の形態3の全体構成は、前述した実施の形態1と同様のため、以下に相違する動作についてのみ説明する。

【0041】そこで、動作の中でも相違する部分についてのみ説明する。まず、位相引き込み開始時について説明する。図6はこの実施の形態3による位相引き込み時の動作の要部を説明するフローチャートである。位相引き込みが開始すると、コントローラ2では、まず、制御量を任意の一定間隔で小さくしながら電圧制御発振器5の出力クロックの位相制御が行われるとともに、その間の位相比較結果の履歴がメモリ3に記憶される(ステップS31)。

【0042】そして、その履歴から位相比較結果の大まかな変化点(位相進みと位相遅れの反転する位置)が推測され、設定される(ステップS32)。そして、その設定された制御量を表す制御信号CNTがD/A変換されて制御電圧として電圧制御発振器5へ送出される(ステップS33)。これにより、この位相引き込み開始の時点で、位相比較結果が反転する大まかな変化点が特定される。

【0043】続いて、PLL制御部分について説明する。図7はこの実施の形態3による動作の要部を説明するフローチャートである。この実施の形態3では、前述した実施の形態1によるPLL制御手順(図2参照)と全体的には同じであるが、一部、ステップS4に替わっ

てステップS41が組み込まれる。ステップS3において現在までの反転回数が求められた後、この実施の形態3では、ステップS41において、上述した大まかな変化点の周辺でさらに制御量を小さく設定するため、前回（位相引き込み開始時）の制御量よりも小さく、かつ、任意の既定値分だけ小さい制御量が次回分として設定される。そして、続くステップS5においてこの設定制御量などの履歴情報がメモリ3に記憶される。以降、上述したPLL制御が繰り返し実行される。

【0044】以上説明したように、この実施の形態3によれば、位相引き込み開始時に、二値データを反転させる大きさの制御量を設定するようにしたので、大まかな変化点を特定することができる。そして、位相引き込み開始後は、二値データを反転させる大きさの制御量を用いる位相引き込み開始時の設定制御量よりも小さい制御量で電圧制御発振器5の制御を行うようにしたので、位相引き込み開始後は位相引き込み開始時の大まかな変化点の周辺で収束することになる。これにより、位相同期が確立するまでの時間が短縮されることから、位相同期特性の改善を図ることが可能である。なお、この実施の形態3でも、前述した実施の形態1と同様の効果を得ることが可能である。

【0045】実施の形態4. さて、前述した実施の形態1では、PLL制御を中心に説明したが、この発明は、以下に説明する実施の形態4のように、前述の実施の形態3とは異なる方法で位相引き込み開始時の制御量を調整することで、位相同期特性を改善するようにしてもよい。なお、この実施の形態4の全体構成は、前述した実施の形態1と同様のため、以下に相違する動作についてのみ説明する。

【0046】そこで、動作の中でも相違する部分についてのみ説明する。ここでは、位相引き込み開始時についてのみ説明する。図8はこの実施の形態4による位相引き込み時の動作の要部を説明するフローチャートである。位相引き込みが開始すると、コントローラ2では、まず、位相比較結果が入力信号のクロック成分よりも確実に位相進み（または位相遅れ）となるようにつぎの制御量が推定され、設定される（ステップS51）。

【0047】そして、その設定された制御量を表す制御信号CNTがD/A変換されて制御電圧として電圧制御発振器5へ送出される（ステップS52）。これにより、この位相引き込み開始の時点で、あらかじめ決められた位相進みもしくは位相遅れをとることができる。以降、位相同期の確立のため、前述した実施の形態1と同様のPLL処理が実施される。

【0048】以上説明したように、この実施の形態4によれば、位相引き込み開始時には、出力を最初から確実に位相進み（または位相遅れ）となるように電圧制御発振器5を制御するようにしたので、位相引き込み開始時の引き込み特性が改善される。これにより、位相同期特

性の改善を図ることが可能である。なお、この実施の形態4でも、前述した実施の形態1と同様の効果を得ることが可能である。

【0049】さて、この発明は、前述の実施の形態1をベースとして、実施の形態2、3、4の1つ、または2つ以上を組み合わせてもよく、その場合には、複数の実施の形態による相乗効果を得ることが可能である。

【0050】

【発明の効果】以上説明したように、この発明によれば、同期確立のため、PLLのつきあわせ周波数と同じ単相のクロックを基準に求めた入出力の位相差と過去の制御履歴である制御量とに基づいて次回の制御量を求め、その次回の制御量で電圧制御発振器の制御を行うようにしたので、PLLのつきあわせ周波数と同じ単相のクロックにより位相同期を確立することができ、これにより、低速クロック、かつ、単相クロックで性能アップを図っても、低コスト、かつ、低消費電力化を実現することが可能なPLL回路が得られるという効果を奏する。

【0051】つぎの発明によれば、位相差を二値データで表し、位相進みを表している場合には出力の位相を遅らせ、一方、位相遅れを表している場合には出力の位相を進めるように電圧制御発振器を制御するので、制御の履歴（制御量）と位相の進み／遅れとから容易につぎの制御を的確に行うことが可能なPLL回路が得られるという効果を奏する。

【0052】つぎの発明によれば、二値データで表される位相進みと位相遅れとの反転回数および前回の制御量に基づいて次回の制御量を前回の制御量よりも小さく設定するようにしたので、制御が発散せず徐々に収束して、制御の効率化を図ることが可能なPLL回路が得られるという効果を奏する。

【0053】つぎの発明によれば、制御量が一定となり、その後に位相の進みと遅れとの関係に反転がない場合を位相同期の確立として現制御量を保持するようにしたので、安定した同期確立状態を維持することが可能なPLL回路が得られるという効果を奏する。

【0054】つぎの発明によれば、位相引き込み開始時に、二値データを反転させる大きさの制御量を設定するようにしたので、大まかな変化点を特定することができ、これにより、位相同期が確立するまでの時間が短縮されることから、位相同期特性の改善を図ることが可能なPLL回路が得られるという効果を奏する。

【0055】つぎの発明によれば、位相引き込み開始後は、二値データを反転させる大きさの制御量を用いる位相引き込み開始時の設定制御量よりも小さい制御量で制御を行うようにしたので、位相引き込み開始後は位相引き込み開始時の大まかな変化点の周辺で収束することになり、これにより、位相同期が確立するまでの時間がさらに短縮されることから、位相同期特性の改善を図るこ

11

とが可能なPLL回路が得られるという効果を奏する。
 【0056】つぎの発明によれば、位相引き込み開始時には、出力を最初から確実に位相進みとなるように制御するようにしたので、位相引き込み開始時の引き込み特性が改善され、これにより、位相同期特性の改善を図ることが可能なPLL回路が得られるという効果を奏する。

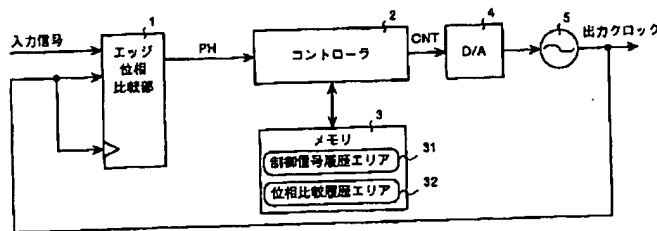
【0057】つぎの発明によれば、位相引き込み開始時には、出力を最初から確実に位相遅れとなるように制御するようにしたので、位相引き込み開始時の引き込み特性が改善され、これにより、位相同期特性の改善を図ることが可能なPLL回路が得られるという効果を奏する。

【図面の簡単な説明】

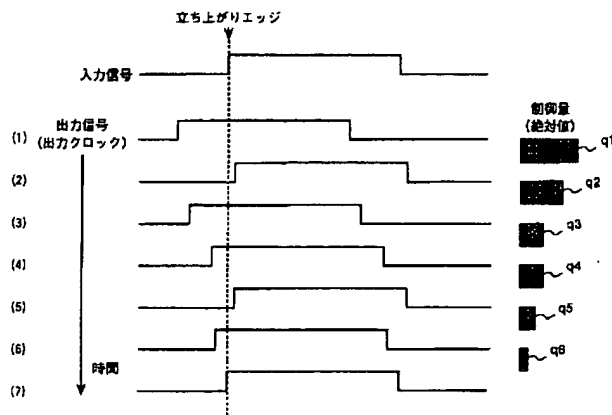
【図1】 この発明の実施の形態1によるPLL回路を示すブロック図である。

【図2】 実施の形態1の動作を説明するフローチャートである。

【図1】



【図4】



12

【図3】 実施の形態1による履歴内容を説明する図である。

【図4】 実施の形態1において位相同期に至るまでの状態遷移を説明するタイミングチャートである。

【図5】 実施の形態2の動作の要部を説明するフローチャートである。

【図6】 実施の形態3による位相引き込み時の動作の要部を説明するフローチャートである。

【図7】 実施の形態3による動作の要部を説明するフローチャートである。

【図8】 実施の形態4による位相引き込み時の動作の要部を説明するフローチャートである。

【図9】 従来例によるPLL回路を示すブロック図である。

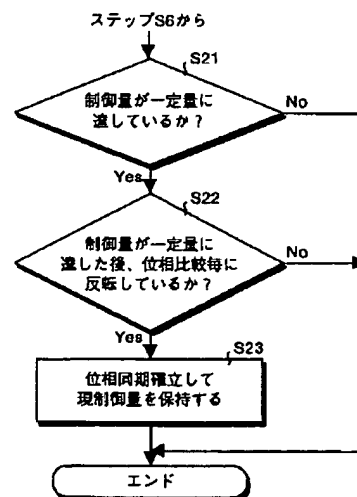
【符号の説明】

1 エッジ位相比較部、2 コントローラ、3 メモリ、4 D/A変換器、5 電圧制御発振器、31 制御信号履歴エリア、32 位相比較履歴エリア。

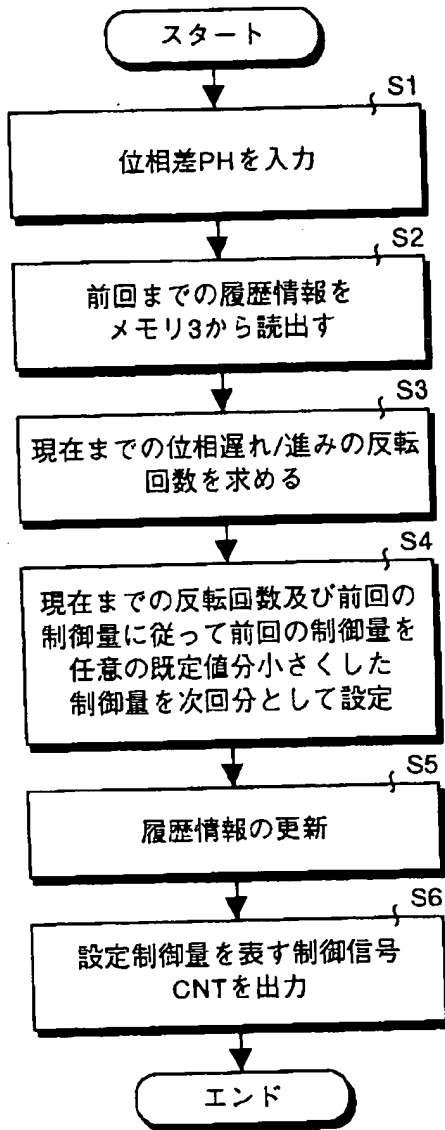
【図3】

31	前回の制御量	q
32	反転回数	N (回)
	反転履歴	1-0-1-1...

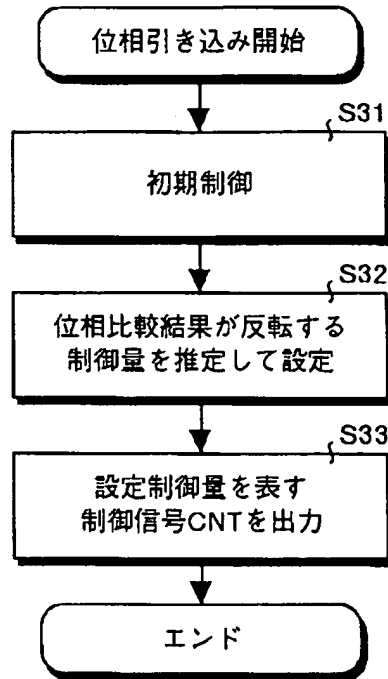
【図5】



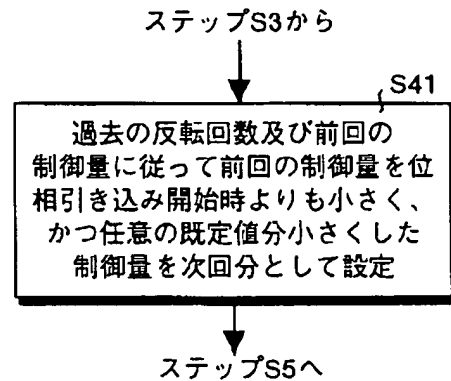
【図2】



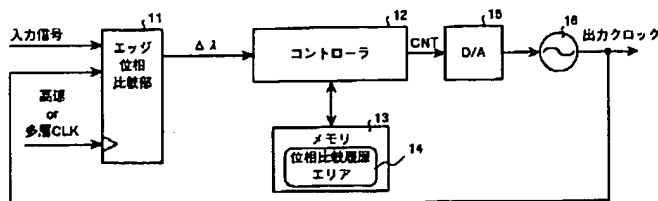
【図6】



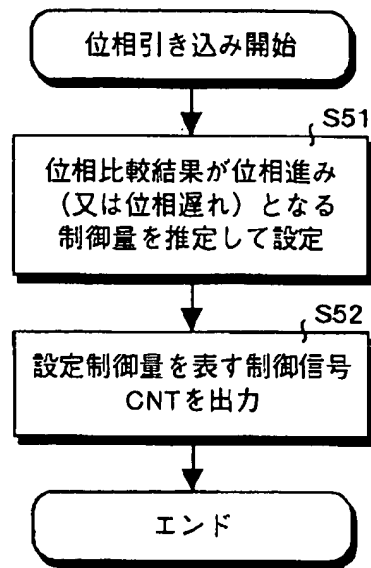
【図7】



【図9】



【図8】



* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the PLL circuit which generates a phase simulation signal in a detail using a digital control system about a PLL (Phase Locked Loop) circuit.

[0002]

[Description of the Prior Art] Drawing 9 is the block diagram showing the conventional PLL circuit. As the conventional PLL circuit was shown in drawing 9 Like [as the edge which searches for phase contrast with the output signal by which a loop formation is carried out to an input signal according to a reference signal] the phase comparator 11 and a digital filter the controller 12 which controls the whole circuit by the digital method, the memory 13 forming the phase-comparison hysteresis area 14 only remembers a phase comparison result to be, and D/A converter 15 which changes and outputs the signal by which digital processing was carried out to an analog signal by the controller 12 -- and It consists of voltage controlled oscillators 16 which change an output analog signal into control voltage, and obtain an output clock.

[0003] Below, actuation is explained. In the PLL circuit shown in drawing 9 , the phase comparison only of the edge is carried out to the output clock outputted from a voltage controlled oscillator 16 according to the high speed or multilayer clock (CLK) whose input signal is a reference signal in the phase comparator 11. Phase contrast $\Delta\lambda$ which is the comparison result to which at least this edge is outputted from the phase comparator 11 is the digitized signal. Then, this phase contrast $\Delta\lambda$ is inputted into a controller 12, and is memorized as this comparison result in the phase-comparison hysteresis area 14 of memory 13.

[0004] A controller 12 determines the controlled variable of the following PLL according to the magnitude of phase contrast $\Delta\lambda$ inputted the phase-comparison hysteresis already memorized as hysteresis, and this time, and transmits the controlled variable to a voltage controlled oscillator 16. Therefore, in D/A converter 15, a controlled variable is changed into an analog signal from a digital signal, serves as control voltage of a voltage controlled oscillator 16, and is sent to a voltage controlled oscillator 16. In a voltage controlled oscillator 16, the output clock based on the inputted control voltage is outputted. And for the following phase comparison, the output clock which it is as a result of control is again outputted at least for an edge to the phase comparator 11 by the loop formation. Drawing in and synchronous establishment are performed through such PLL control.

[0005] Thus, in the PLL circuit mentioned above, digital processing of the PLL control is carried out in the controller 12, and the degree of freedom of this of the parameter setup which influences engine performance, such as a phase simulation property, improves as compared with the case where an analog form performs PLL control. Since it is such, the digitized controller is frequently applied to the PLL circuit recently.

[0006]

[Problem(s) to be Solved by the Invention] The conventional PLL circuit needed to raise the fineness expressing the magnitude of phase contrast $\Delta\lambda$, in order to obtain the engine performance of a

high frequency precision or a high phase simulation property, since it is constituted as mentioned above. The number of clocks in phase contrast daltalambda was made to increase, or improvement in the fineness of this phase contrast daltalambda was realized because at least an edge accelerates the clock of the phase comparator 11 of operation and makes the source resultant pulse number of a multilayer clock (CLK) increase. For this reason, when a high-speed clock was applied, the working speed of a circuit was accelerated, and on the other hand, when a polyphase clock was applied, there were troubles, such as a cost rise and waste of power consumption, in improvement implementation of the fineness of phase contrast daltalambda mentioned above -- delay management of the time amount in a circuit is needed. [0007] Even if this invention aims at an engine-performance rise with a low-speed clock and a single-phase clock in order to cancel the trouble by the conventional example mentioned above, it aims at obtaining the PLL circuit which can realize low cost and low-power-ization.

[0008]

[Means for Solving the Problem] In order to solve the technical problem mentioned above and to attain the purpose, the PLL circuit concerning this invention In the PLL circuit which performs PLL control by the digital method according to the phase contrast of an input signal and the output clock outputted from a voltage controlled oscillator A storage means to memorize the controlled variable to said voltage controlled oscillator as hysteresis at every armature-voltage control, A judgment means to judge the phase contrast of the output clock which PLL makes associate and is outputted from said voltage controlled oscillator to an input signal on the basis of the clock of the same single phase as a frequency, and a synchronous establishment sake, A next controlled variable is calculated based on the controlled variable of the past memorized by the information showing the phase contrast judged by said judgment means, and said storage means, and it is characterized by having the control means which controls said voltage controlled oscillator based on the next controlled variable concerned.

[0009] According to this invention, a next controlled variable is calculated based on the phase contrast of the I/O for which PLL made associate and it asked on the basis of the clock of the same single phase as a frequency for synchronous establishment, and the controlled variable which is the past control hysteresis. Since it was made to control the voltage controlled oscillator by the next controlled variable, PLL can make it able to associate and phase simulation can be established with the clock of the same single phase as a frequency. By this Even if it aims at an engine-performance rise with a low-speed clock and a single-phase clock, it is possible to realize low cost and low-power-ization.

[0010] The information showing the phase contrast the PLL circuit concerning the next invention was judged by said judgment means to be It is binary data showing a phase lead lag network or phase lag. Said control means When control for delaying the phase of said output clock is performed when said binary data express the phase lead lag network, and said binary data express phase lag on the other hand, it is characterized by performing control for advancing the phase of said output clock.

[0011] According to this invention, it is possible to delay the phase of an output, when binary data express phase contrast and the phase lead lag network is expressed, and to perform the next control exactly on the other hand, as easily from progress/delay of a phase as the hysteresis (controlled variable) of control, since a voltage controlled oscillator is controlled to advance the phase of an output when phase lag is expressed.

[0012] In the PLL circuit concerning the next invention, said storage means memorizes said binary data at every judgment by said judgment means, and it is characterized by said control means setting up a next controlled variable based on the count of reversal and the last controlled variable of the phase lead lag network and phase lag which are expressed by the binary data memorized by said storage means smaller than said last controlled variable.

[0013] Since the next controlled variable was set up based on the count of reversal and the last controlled variable of the phase lead lag network and phase lag which are expressed by binary data smaller than the last controlled variable according to this invention, it is possible for control not to emit, but to converge gradually and to attain the increase in efficiency of control.

[0014] When the PLL circuit concerning the next invention does not have reversal in the binary data which said next controlled variable reaches a constant rate, and are obtained with said judgment means

after that, said control means is characterized by establishing phase simulation and holding the amount of present systems.

[0015] According to this invention, it is possible to maintain the synchronous establishment condition stabilized in the case where a controlled variable becomes fixed and there is no reversal in the relation of the progress and delay of a phase after that since the amount of present systems was held as establishment of phase simulation.

[0016] The PLL circuit concerning the next invention is characterized by said control means setting up the controlled variable of the magnitude which reverses the binary data obtained with said judgment means at the time of phase drawing-in initiation.

[0017] According to this invention, since the controlled variable of the magnitude which reverses binary data was set up at the time of phase drawing-in initiation, and time amount until it can specify a rough changing point and phase simulation is established by this is shortened, it is possible to aim at an improvement of a phase simulation property.

[0018] The PLL circuit concerning the next invention is characterized by said control means controlling by the controlled variable smaller than the controlled variable set up at the time of said phase drawing-in initiation after said phase drawing-in initiation.

[0019] Since after phase drawing-in initiation was made to control by the controlled variable smaller than the setting controlled variable at the time of the phase drawing-in initiation using the controlled variable of the magnitude which reverses binary data according to this invention Since time amount until it will converge around the rough changing point at the time of phase drawing-in initiation and phase simulation is established by this is shortened further, after phase drawing-in initiation can aim at an improvement of a phase simulation property.

[0020] The PLL circuit concerning the next invention is characterized by said control means setting up the controlled variable for obtaining the binary data which express a phase lead lag network with said judgment means at the time of phase drawing-in initiation.

[0021] Since the output was controlled to become a phase lead lag network from the beginning certainly at the time of phase drawing-in initiation according to this invention, it is possible for the drawing-in property at the time of phase drawing-in initiation to be improved, and for this to aim at an improvement of a phase simulation property.

[0022] The PLL circuit concerning the next invention is characterized by said control means setting up the controlled variable for obtaining the binary data which express phase lag with said judgment means at the time of phase drawing-in initiation.

[0023] Since the output was controlled to become phase lag from the beginning certainly at the time of phase drawing-in initiation according to this invention, it is possible for the drawing-in property at the time of phase drawing-in initiation to be improved, and for this to aim at an improvement of a phase simulation property.

[0024]

[Embodiment of the Invention] With reference to an accompanying drawing, the gestalt of suitable operation of the PLL circuit concerning this invention is explained below at a detail.

gestalt 1. of operation -- a configuration is explained first. Drawing 1 is the block diagram showing the PLL circuit by the gestalt 1 of implementation of this invention. As this PLL circuit was shown in drawing 1 At least the edge which searches for the phase contrast PH with the output signal by which a loop formation is carried out to an input signal according to a reference signal forms the phase comparator 1, the controller 2 which controls the whole circuit by the digital method, the control signal hysteresis area 31, and the phase-comparison hysteresis area 32. The hysteresis and phase contrast information (phase comparison result) on a controlled variable The memory 3 to memorize and the signal by which digital processing was carried out by the controller 2 are changed into an analog signal, and it consists of D/A converter 4 outputted as control voltage of a voltage controlled oscillator 5, and a voltage controlled oscillator 5 which outputs the output clock based on the inputted control voltage.

[0025] Below, actuation is explained. The flow chart with which drawing 2 explains actuation of the gestalt 1 of this operation, drawing where drawing 3 explains the contents of hysteresis by the gestalt 1

of this operation, and drawing 4 are the timing charts explaining a state transition until it results in phase simulation in the gestalt 1 of this operation. In addition, although the flow chart shown in drawing 2 shows the processing controlled by the controller 2, each actuation is carried out in each part.

[0026] In the PLL circuit shown in drawing 1, the output clock and input signal are compared [in / at least in an edge / the phase comparator 1] by the rising edge of the output clock outputted from a voltage controlled oscillator 5, and the phase contrast PH which is the comparison result is searched for. The phase contrast PH is made binary in case it is sent out to a controller 2. When phase contrast PH has the value of "1", the direction of an output clock shows that the phase is progressing, and on the other hand, when phase contrast PH has the value of "0", it is shown that the phase is behind in the direction of an output clock.

[0027] Thus, the phase contrast PH which consists of binary data is inputted into a controller 2. If phase contrast PH is inputted into a controller 2 (step S1), the hysteresis information stored in memory 3 by last time will be read (step S2). Here, as it was indicated in drawing 3 as hysteresis information, the last controlled variable (for example, q) stored in the control signal hysteresis area 31, and the count of reversal (for example, N (time)) and reversal hysteresis (for example, 1(progress)-0(delay)-1(progress)-1 (progress) --) which were stored in the phase-comparison hysteresis area 32 are pointed out. And the current count NN of reversal is called for based on the count N of reversal of the phase lag/progress to the phase contrast PH and last time which were inputted (step S3).

[0028] Furthermore, processing which makes the last controlled variable q small by the default of arbitration based on the count NN of reversal by the present for which it asked at step S3, and the last controlled variable q, and sets up the controlled variable as a next controlled variable qq is performed (step S4). Then, in order to update hysteresis information, the controlled variable qq calculated by step S4 is memorized in the control signal hysteresis area 31, and the phase contrast PH inputted at step S1 and the count NN of reversal for which it asked at step S3 are memorized in the phase-comparison hysteresis area 32 (step S5). And the next controlled variable qq calculated by step S4 is sent out as a control signal CNT to D/A converter 4 (step S6). Thereby, the controlled variable of a voltage controlled oscillator 5 is adjusted by the control signal CNT (control voltage) by which the digital to analog was carried out with D/A converter 4.

[0029] Processing to the above step S1 - step S6 is repeatedly performed until phase simulation is established. In the example of drawing 4, it is in the condition that the phase of an output signal (output clock) is progressing to the input signal, at first (the inside of drawing, (1) condition). Then, if armature-voltage control is performed using the controlled variable q1 for delaying a phase, the phase of an output signal will be overdue to an input signal (the inside of drawing, (2) conditions). Then, in order to advance a phase shortly, the controlled variable q2 by the default of arbitration smaller than the last controlled variable q1 is set up. If armature-voltage control by the controlled variable q2 is performed, the phase of an output signal will progress to an input signal shortly (the inside of drawing, (3) conditions).

[0030] And phase control of the output clock by armature-voltage control is further continued until a controlled variable settles down. Then, in order to delay a phase shortly, the controlled variable q3 by the default of arbitration smaller than the last controlled variable q2 is set up. If control by the controlled variable q3 is performed, it will be in the condition that the phase of an output signal progresses to an input signal this time also (the inside of drawing, (4) conditions). In this case, since judgment that the controlled variable for delaying a phase was lacking is made, in order that the next control may also delay a phase, the controlled variable q4 near last time is set up. Thus, if control by the controlled variable q4 is performed, the phase of an output signal will be overdue to an input signal shortly (the inside of drawing, (5) conditions).

[0031] Furthermore phase control of the output clock by armature-voltage control is continued, and in order to advance a phase shortly, the controlled variable q5 by the default of arbitration smaller than the last controlled variable q4 is set up. If control by the controlled variable q5 is performed, the phase of an output signal will progress to an input signal shortly (the inside of drawing, (6) conditions). In order to delay a phase shortly, the controlled variable q6 by the default of arbitration smaller than the last

controlled variable q5 is set up. If control by the controlled variable q6 is performed, the phase of an input signal and an output signal is shortly in agreement. That is, a rising edge is in agreement and phase simulation is established (the inside of drawing, (7) conditions).

[0032] thus, an output signal (output clock) exceeds the rising edge of an input signal until phase simulation is established (about -- a phase comparison result -- reversal) -- every -- the absolute value of a controlled variable is set up smaller than the last value, and actuation which corrects a phase lead lag network and phase lag is performed repeatedly.

[0033] Since according to the gestalt 1 of this operation a next controlled variable is calculated based on the phase contrast of the I/O for which PLL made associate and it asked on the basis of the clock of the same single phase as a frequency for synchronous establishment, and the controlled variable which is the past control hysteresis and it was made to control the voltage controlled oscillator 5 by that next controlled variable as explained above, PLL can make it able to associate and phase simulation can be established with the clock of the same single phase as a frequency. It is possible to realize low cost and low-power-ization by this, even if it aims at an engine-performance rise with a low-speed clock and a single-phase clock.

[0034] Moreover, it is possible to delay the phase of an output, when binary data (1/0) express phase contrast and the phase lead lag network (1) is expressed, and to, perform exactly phase control of the output clock by the next armature-voltage control on the other hand, as easily from progress/delay of a phase as the hysteresis (controlled variable) of control, since a voltage controlled oscillator 5 is controlled to advance the phase of an output when phase lag (0) is expressed.

[0035] Moreover, since the next controlled variable was set up based on the count of reversal and the last controlled variable of the phase lead lag network and phase lag which are expressed by binary data smaller than the last controlled variable, it is possible for control of a voltage controlled oscillator 5 not to emit, but to converge gradually, and to attain the increase in efficiency of the control.

[0036] Although it was, you may make it this invention hold the controlled variable at the time of the synchronous establishment by PLL control like the gestalt 2 of the operation explained below explained focusing on PLL control with gestalt 2. of operation, now the gestalt 1 of operation mentioned above. In addition, since the whole configuration by the gestalt 2 of this operation is the same as that of the gestalt 1 of operation mentioned above, only ***** is explained to the actuation which is different from below.

[0037] Then, only the part which is different also in actuation is explained. Drawing 5 is a flow chart explaining the important section of actuation of the gestalt 2 of this operation. When the phase of an input signal and an output clock is mostly in agreement, even if it is a very small controlled variable, a phase comparison result reverses at least the next control (reversal of binary data). After the control signal CNT which expresses a setting controlled variable with step S6 (refer to drawing 2) by the gestalt 1 of operation mentioned above from this is sent out, it is judged whether the setting controlled variable reached the constant rate (default of arbitration) (step S21). Consequently, when the decision result that the setting controlled variable reached the constant rate is obtained, in continuing step S22, the existence of reversal of at least that for every phase comparison of a phase comparison result is judged. Moreover, this processing is ended when the decision result of having not reached a constant rate is obtained.

[0038] When the reversal for every phase comparison is checked in the above-mentioned step S22, processing shifts to continuing step S23 as what can hold a synchronous establishment condition with the stable amount of present systems. In this step S23, in order to establish phase simulation, the amount of present systems is fixed and it is held henceforth. Then, this processing is ended. Moreover, when the reversal for every phase comparison is not checked in step S22, actual termination of this processing is carried out.

[0039] As explained above, according to the gestalt 2 of this operation, it is possible to maintain the synchronous establishment condition stabilized in the case where it becomes fixed [a controlled variable] that the effectiveness of the gestalt 1 of operation mentioned above is acquired, of course, and there is no reversal in the relation of the progress and delay of a phase after that since the amount of present systems was held as establishment of phase simulation.

[0040] Although explained focusing on PLL control, you may make it this invention improve a phase simulation property like the gestalt 3 of the operation explained below by adjusting the controlled variable at the time of phase drawing-in initiation with gestalt 3. of operation, now the gestalt 1 of operation mentioned above. In addition, since the whole gestalt 3 configuration of this operation is the same as that of the gestalt 1 of operation mentioned above, only ***** is explained to the actuation which is different from below.

[0041] Then, only the part which is different also in actuation is explained. First, the time of phase drawing-in initiation is explained. Drawing 6 is a flow chart explaining the important section of the actuation at the time of phase drawing in by the gestalt 3 of this operation. If phase drawing in begins, while phase control of the output clock of a voltage controlled oscillator 5 is performed first, making a controlled variable small at intervals of [fixed] arbitration, by the controller 2, the hysteresis of a phase comparison result will be memorized at least for that in the meantime by memory 3 (step S31).

[0042] And the rough changing point (location which a phase lead lag network and phase lag reverse) of a phase comparison result is guessed and set up from the hysteresis (step S32). And D/A conversion of the control signal CNT showing the set-up controlled variable is carried out, and it is sent out as control voltage to a voltage controlled oscillator 5 (step S33). Thereby, the rough changing point which a phase comparison result reverses is specified at the time of this phase drawing-in initiation.

[0043] Then, a PLL control section is explained. Drawing 7 is a flow chart explaining the important section of actuation by the gestalt 3 of this operation. With the gestalt 3 of this operation, although it is the same as on the whole as the PLL control procedure (refer to drawing 2) by the gestalt 1 of operation mentioned above, a part and step S4 are replaced and step S41 is incorporated. After the count of reversal to current is called for in step S3, in order to set up a controlled variable small further around the rough changing point mentioned above, with the gestalt 3 of this operation, the controlled variable of arbitration small by the default is set up as degree batch in step S41 smaller than the last (at the time of phase drawing-in initiation) controlled variable. And hysteresis information, such as a setting controlled variable of the continuing step S5 smell lever, is memorized by memory 3. Henceforth, PLL control mentioned above is performed repeatedly.

[0044] Since the controlled variable of the magnitude which reverses binary data was set up at the time of phase drawing-in initiation according to the gestalt 3 of this operation as explained above, a rough changing point can be specified. And since after phase drawing-in initiation was made to control the voltage controlled oscillator 5 by the controlled variable smaller than the setting controlled variable at the time of the phase drawing-in initiation using the controlled variable of the magnitude which reverses binary data, after phase drawing-in initiation will be converged around the rough changing point at the time of phase drawing-in initiation. Since time amount until phase simulation is established is shortened by this, it is possible to aim at an improvement of a phase simulation property. In addition, it is possible to acquire the same effectiveness as the gestalt 1 of operation mentioned above also with the gestalt 3 of this operation.

[0045] Although explained focusing on PLL control, you may make it this invention improve a phase simulation property by adjusting the controlled variable at the time of phase drawing-in initiation like the gestalt 4 of the operation explained below by the approach of being different in the gestalt 3 of the above-mentioned operation with gestalt 4. of operation, now the gestalt 1 of operation mentioned above. In addition, since the whole gestalt 4 configuration of this operation is the same as that of the gestalt 1 of operation mentioned above, only ***** is explained to the actuation which is different from below.

[0046] Then, only the part which is different also in actuation is explained. Here, only the time of phase drawing-in initiation is explained. Drawing 8 is a flow chart explaining the important section of the actuation at the time of phase drawing in by the gestalt 4 of this operation. By the controller 2, initiation of phase drawing in presumes and sets up the following controlled variable so that a phase comparison result may serve as a phase lead lag network (or phase lag) from the clock component of an input signal certainly first (step S51).

[0047] And D/A conversion of the control signal CNT showing the set-up controlled variable is carried out, and it is sent out as control voltage to a voltage controlled oscillator 5 (step S52). Thereby, the

phase lead lag network or phase lag decided beforehand can be taken at the time of this phase drawing-in initiation. Henceforth, the same PLL processing as the gestalt 1 of operation mentioned above is carried out for establishment of phase simulation.

[0048] Since the voltage controlled oscillator 5 was controlled to become a phase lead lag network (or phase lag) from the beginning certainly about an output at the time of phase drawing-in initiation according to the gestalt 4 of this operation as explained above, the drawing-in property at the time of phase drawing-in initiation is improved. It is possible for this to aim at an improvement of a phase simulation property. In addition, it is possible to acquire the same effectiveness as the gestalt 1 of operation mentioned above also with the gestalt 4 of this operation.

[0049] Now, this invention may combine one of the gestalten 2, 3, and 4 of operation, or two or more by using the gestalt 1 of the above-mentioned operation as the base, and can acquire the synergistic effect by the gestalt of two or more operations in that case.

[0050]

[Effect of the Invention] As explained above, according to this invention, a next controlled variable is calculated based on the phase contrast of the I/O for which PLL made associate and it asked on the basis of the clock of the same single phase as a frequency for synchronous establishment, and the controlled variable which is the past control hysteresis. Since it was made to control the voltage controlled oscillator by the next controlled variable, PLL can make it able to associate and phase simulation can be established with the clock of the same single phase as a frequency. By this Even if it aims at an engine-performance rise with a low-speed clock and a single-phase clock, the effectiveness that the PLL circuit which can realize low cost and low-power-ization is obtained is done so.

[0051] Since according to the next invention the phase of an output is delayed when binary data express phase contrast and the phase lead lag network is expressed, and a voltage controlled oscillator is controlled to advance the phase of an output when phase lag is expressed on the other hand, the effectiveness that the PLL circuit which can perform the next control exactly as easily from progress/delay of a phase as the hysteresis (controlled variable) of control is obtained is done so.

[0052] Since the next controlled variable was set up based on the count of reversal and the last controlled variable of the phase lead lag network and phase lag which are expressed by binary data smaller than the last controlled variable according to the next invention, control does not emit, but it converges gradually and the effectiveness that the PLL circuit which can attain the increase in efficiency of control is obtained is done so.

[0053] According to the next invention, the effectiveness that the PLL circuit which can maintain the synchronous establishment condition stabilized in the case where a controlled variable becomes fixed and there is no reversal in the relation of the progress and delay of a phase after that since the amount of present systems was held as establishment of phase simulation is obtained is done so.

[0054] Since time amount since the controlled variable of the magnitude which reverses binary data was set up at the time of phase drawing-in initiation, until it can specify a rough changing point and phase simulation is established by this is shortened according to the next invention, the effectiveness that the PLL circuit which can aim at an improvement of a phase simulation property is obtained is done so.

[0055] According to the next invention, after phase drawing-in initiation Since it was made to control by the controlled variable smaller than the setting controlled variable at the time of the phase drawing-in initiation using the controlled variable of the magnitude which reverses binary data After phase drawing-in initiation will be converged around the rough changing point at the time of phase drawing-in initiation, and since time amount until phase simulation is established is shortened further by this, the effectiveness that the PLL circuit which can aim at an improvement of a phase simulation property is obtained is done so.

[0056] Since the output was controlled to become a phase lead lag network from the beginning certainly at the time of phase drawing-in initiation according to the next invention, the drawing-in property at the time of phase drawing-in initiation is improved, and the effectiveness that the PLL circuit which can aim at an improvement of a phase simulation property is obtained by this is done so.

[0057] Since the output was controlled to become phase lag from the beginning certainly at the time of

phase drawing-in initiation according to the next invention, the drawing-in property at the time of phase drawing-in initiation is improved, and the effectiveness that the PLL circuit which can aim at an improvement of a phase simulation property is obtained by this is done so.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the PLL circuit which performs PLL control by the digital method according to the phase contrast of an input signal and the output clock outputted from a voltage controlled oscillator A storage means to memorize the controlled variable to said voltage controlled oscillator as hysteresis at every armature-voltage control, A judgment means to judge the phase contrast of the output clock which PLL makes associate and is outputted from said voltage controlled oscillator to an input signal on the basis of the clock of the same single phase as a frequency, and a synchronous establishment sake, The PLL circuit characterized by having the control means which calculates a next controlled variable based on the controlled variable of the past memorized by the information showing the phase contrast judged by said judgment means, and said storage means, and controls said voltage controlled oscillator based on the next controlled variable concerned.

[Claim 2] It is the PLL circuit according to claim 1 characterized by for the information showing the phase contrast judged by said judgment means to be binary data showing a phase lead lag network or phase lag, and for said control means to perform control for delaying the phase of said output clock when said binary data express the phase lead lag network, and on the other hand to perform control for advancing the phase of said output clock when said binary data express phase lag.

[Claim 3] It is the PLL circuit according to claim 2 which said storage means memorizes said binary data at every judgment by said judgment means, and is characterized by said control means setting up a next controlled variable based on the count of reversal and the last controlled variable of the phase lead lag network and phase lag which are expressed by the binary data memorized by said storage means smaller than said last controlled variable.

[Claim 4] It is the PLL circuit according to claim 2 or 3 characterized by for said control means establishing phase simulation when there is no reversal in the binary data which said next controlled variable reaches a constant rate, and are obtained with said judgment means after that, and holding the amount of present systems.

[Claim 5] Said control means is a PLL circuit according to claim 2 or 3 characterized by setting up the controlled variable of the magnitude which reverses the binary data obtained with said judgment means at the time of phase drawing-in initiation.

[Claim 6] For after said phase drawing-in initiation, said control means is a PLL circuit according to claim 5 characterized by controlling by the controlled variable smaller than the controlled variable set up at the time of said phase drawing-in initiation.

[Claim 7] Said control means is a PLL circuit according to claim 2 or 3 characterized by setting up the controlled variable for obtaining the binary data which express a phase lead lag network with said judgment means at the time of phase drawing-in initiation.

[Claim 8] Said control means is a PLL circuit according to claim 2 or 3 characterized by setting up the controlled variable for obtaining the binary data which express phase lag with said judgment means at the time of phase drawing-in initiation.

[Translation done.]

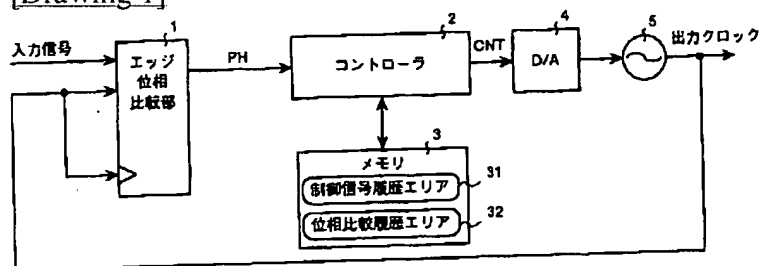
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

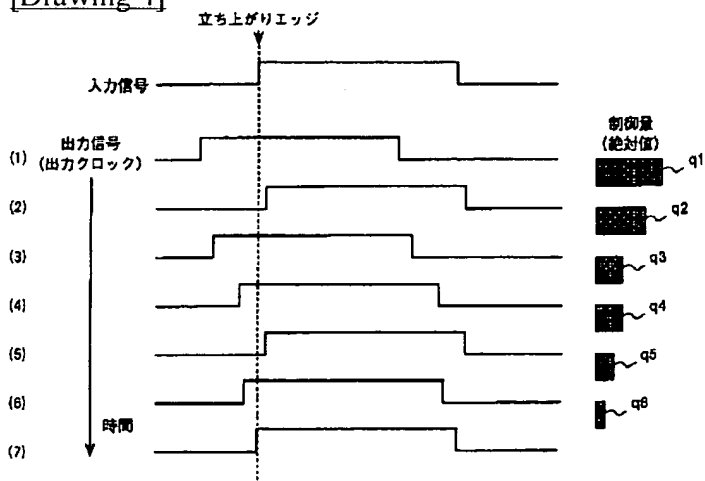
[Drawing 1]



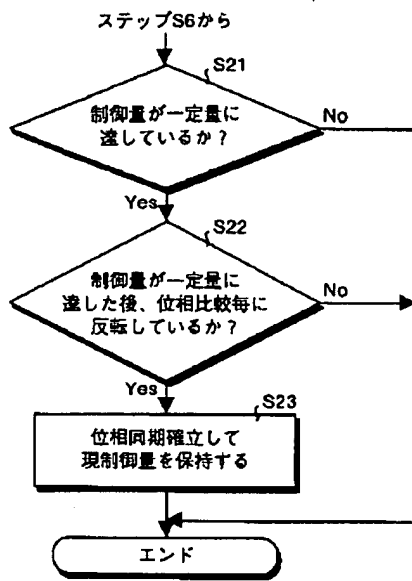
[Drawing 3]

31	前回の制御量	q
	反転回数	N (回)
32	反転履歴	1-0-1-1...

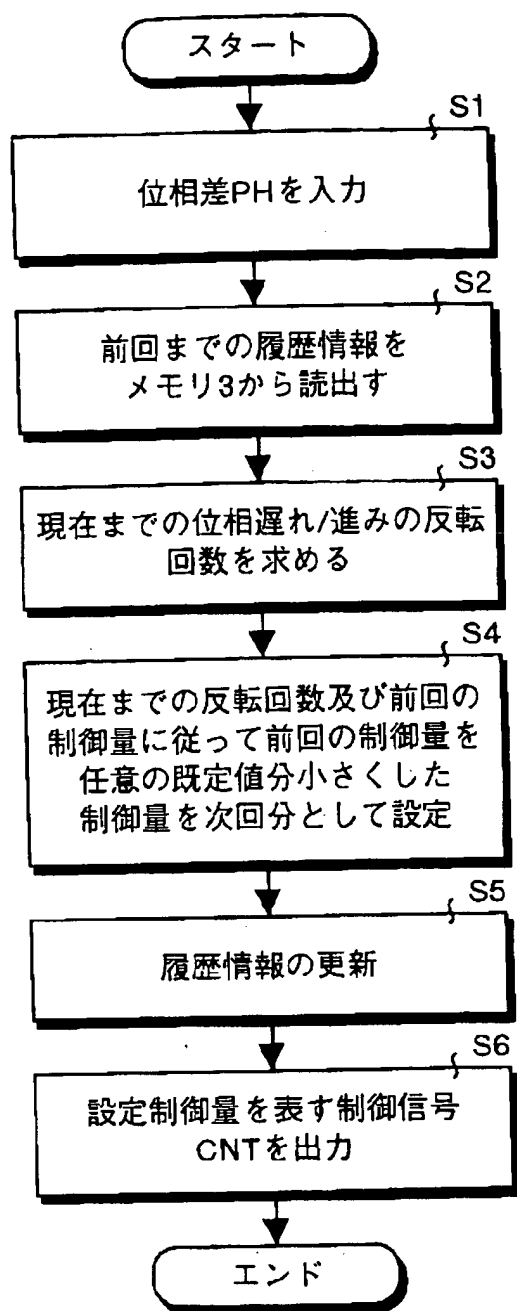
[Drawing 4]



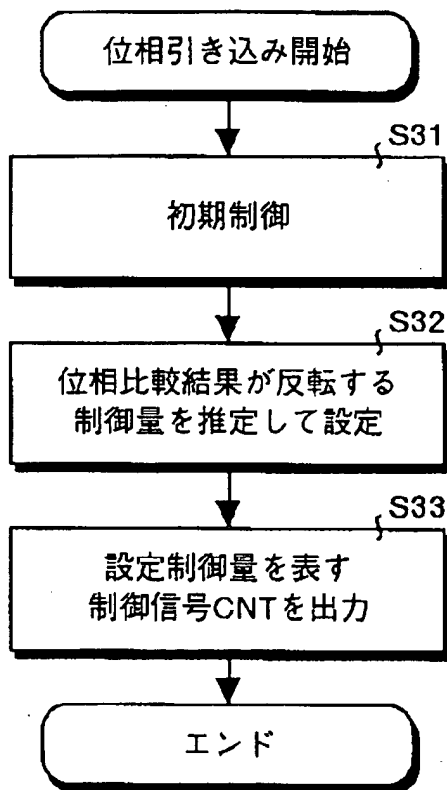
[Drawing 5]



[Drawing 2]

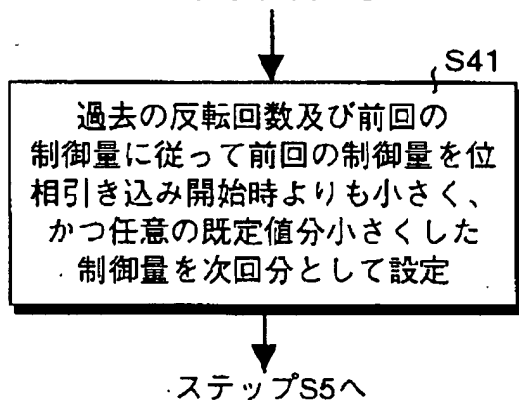


[Drawing 6]

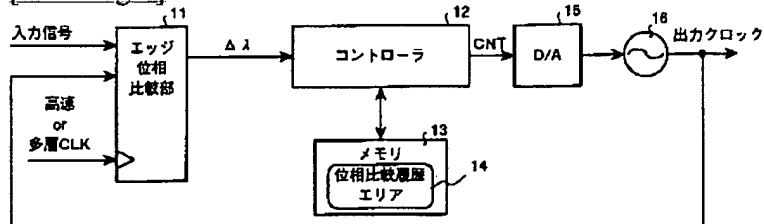


[Drawing 7]

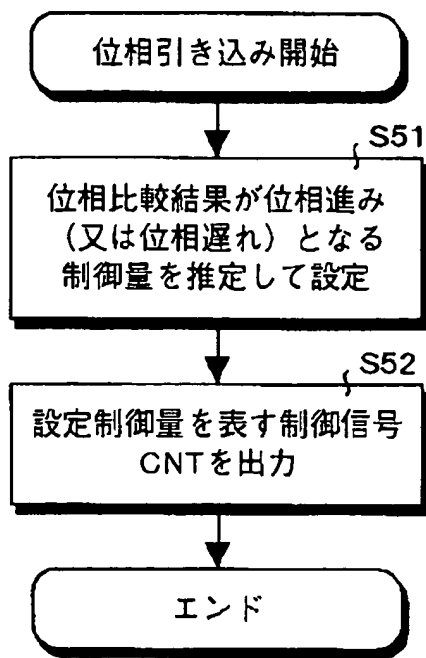
ステップS3から



[Drawing 9]



[Drawing 8]



[Translation done.]